

特集①

半導体製造技術の研究開発動向

— 近年の国際会議^①での発表等から —

情報・通信ユニット 小松 裕司

1. はじめに

電子機器の高性能化を支えるシリコン MOS 半導体技術は、これまでに幾度か技術的もしくは経済的な限界説が唱えられながらも、近年はむしろスピードを上げながら開発が進められている。LSI チップは、シリコン MOS では従来難しいとされていた高周波やアナログ等の技術をも取り込み、より複雑で多様な機能を持ちつつある。身の回りの製品を含め様々な所でこれからも多くの半導体が使用されるであろう。半導体技術は、今後もエレクトロニクスのみならず他の科学技術の発展を支える基

用語説明

①国際会議

半導体の 3 大国際会議として、IEDM（電子デバイスに関する会議）、ISSCC（固体回路に関する会議）、VLSI シンポジウム（LSI 製造技術および回路に関する会議）がある。これらは、何れも採択率が 3 割程度の比較的厳しい会議としてだけでなく、各研究機関の技術レベルを示すものとして注目されている。開発をリードする企業もこれらの国際会議での発表にあわせて、新技術の開発を公式発表するが多い。これらの国際会議は、単なる学会に留まらず、企業の広報活動の場としても重要な位置を占める。

盤技術であり、また経済的にも基幹産業として主要な位置を占めていくものと思われる。

本特集では、この半導体技術を

支える製造技術を中心に研究開発の近年の動向を概観し、日本の半導体関連のプロジェクトの課題にも触れる。

2. 次世代 MOS トランジスタの開発状況

2 - 1

転換期にある
MOS トランジスタ開発

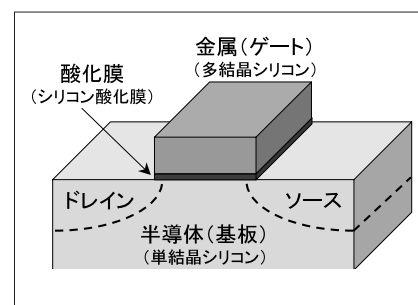
デジタル回路の中でトランジスタは通常、オン・オフの 2 つの状態を遷移するスイッチとして用いられる。このスイッチとして機能するトランジスタで、これまで主に半導体集積回路の技術革新を支えて来た基本デバイスは、MOS（Metal-Oxide-Semiconductor；金属 - 酸化膜 - 半導体）と呼ばれる構造を有するユニポーラ・トランジスタ^②である（図表 1）。

この MOS トランジスタの基本材料および構造^③は、古く 1970

年頃に確定してからは、現在まで大きくは変化していない。金属部分には、多結晶シリコン^④に不純物を高濃度に添加して形成される導電体が、酸化膜部分には単結晶シリコンを熱酸化して形成されるシリコン酸化膜（SiO₂）が、半導体部分には単結晶シリコンがそれぞれ使用されている。MOS と言いつつもその主たるものは、シリコンと酸素の 2 種類であり、いずれも地球上に多く存在する元素からなる。

MOS トランジスタの基本材料および構造が確定してからは、シリコン結晶の低欠陥化、材料の高純度化および微細加工技術によって、3 年毎に世代を更新させな

図表 1 シリコン MOS トランジスタの基本材料および構造



科学技術動向研究センターにて作成

がら半導体製造技術が発展して来た。リソグラフィーによるパターン形成の微細化と加工精度の向上により、DRAM に代表される LSI の集積度の向上が継続的に達成されてきた。

1990 年代に入ると、LSI 内部の配線やトランジスタの微細化によって生じる抵抗および容量の増大等の寄生効果への対応が課題となった。これに対しては、①シリコンと金属の化合物（金属珪化物もしくはシリサイド）、②銅（Cu）^⑤等の新規材料、および③ SOI^⑥等の一部新規構造をそれぞれ導入する事により、低減が図られてきた。

ところが近年、従来の手法でトランジスタをさらに微細化しても、これ以上の性能向上が図れなくなっている。これは例えば、ゲート酸化膜を一定以下に薄膜化すると、本来の絶縁膜として機能しなくなり、ゲート電極の漏れ電流が増大する事に現れる。

以上の様な理由により、これまで用いてきたトランジスタの材料や構造の見直しが迫られている。

この様な状況下で近年は、図表 2 に示す様な新規材料の検討が盛んに行なわれている。検討の中心は、ゲート電極に関しては、より低抵抗の要求を満たす本来の金属材料の使用である。これは例え

ば、多結晶シリコンよりも抵抗が低く、半導体製造工程中の高温処理にも耐えられる、タングステン（W）やモリブデン（Mo）等である。ゲート酸化膜については、より低い電圧にて大きな電界を印加する事が可能で、その結果ゲート電極の漏れ電流を抑制出来る高誘電率膜の検討が行なわれている。これは例えば、アルミニウム（Al）やハフニウム（Hf）等の金属氧化物等である。また、半導体については、従来のシリコンよりも電荷の担体が動き易い高移動度の材料

等に検討の重点が置かれている。これは例えば、歪みシリコンやシリコンとゲルマニウムとの化合物（SiGe）等である。

一方、トランジスタ構造の見直しとして、単純な平面（Planer；プレーナ）型でゲート電極を 1 つ有する従来のトランジスタに対して、複数のゲート電極を配置する検討が行なわれている。この様にしてゲート電極からの電界制御性^⑦を向上させ、オン・オフの切り替わり特性に優れたトランジスタを実現するのがこの検討の目的であ

図表 2 MOS トランジスタを構成する材料の変遷

	これまで		開発中もしくは今後	
	1970 年頃以降	1990 年頃以降	現在の要求	候補
ゲート電極 (M)	多結晶シリコン	金属珪化物との 2 層構造	低抵抗	W、Mo 等の金属
ゲート絶縁膜 (O)	シリコン酸化膜	シリコン酸化膜に窒素等を少量添加	高誘電率	Al、Hf 系の氧化物等
半導体 (S)	シリコン	シリコン	高移動度	歪みシリコン、シリコンゲルマニウム化合物等

科学技術動向研究センターにて作成

用語説明

②ユニポーラ・トランジスタ

半導体中で電荷の担体は、電子とホール の 2 種類あるが、この内どちらか一方が動作に寄与するトランジスタ。両者が寄与するものは、バイポーラ・トランジスタと呼ばれる。

③トランジスタの基本構造

真空管に替わって最初に用いられたのは、バイポーラ・トランジスタであった。しかし、これは電流駆動型のデバイスであり、相対的に消費電力が大きくなる。また、半導体基板表面に対して垂直方向に電流を流すデバイスとなるので、プロセスが比較的複雑になり、MOS トランジスタと比べて集積化は難しい。一方、MOS トランジスタは電圧駆動型のデバイスである為、基本的に低消費電力となる。加えて、タイプの異なる 2 つの MOS を組み合わせ CMOS（C は Complementary の略で、相補的との意味）構成とする事により、常に構成単位のスウィッチはオフになり、回路全体で定常的な電流は流れなくなる。これによって、さらに消費電力を下げる事が可能となる。この様に CMOS トランジスタでは、低消費電力化と高集積化が比較的容易に行えた為、これまで半導体集積回路技術を支えて来た。

④多結晶シリコン

ゲート電極を形成した後、不純物を拡散する事により、ゲート電極パターンに対して自己整合的にソースやドレイン等の拡散層パターンを形成する事が可能となる。この不純物拡散層の形成には、当時で 1000℃ 程度の高温が必要であり、耐熱性の観点からそれまで使用されてきたアルミニウム（Al）が多結晶シリコンに置き換えられた。

⑤ Cu

従来使用されていた Al 配線では配線抵抗が高い為に、LSI の一部でより低抵抗の Cu 配線に置き換えられている。

⑥ SOI

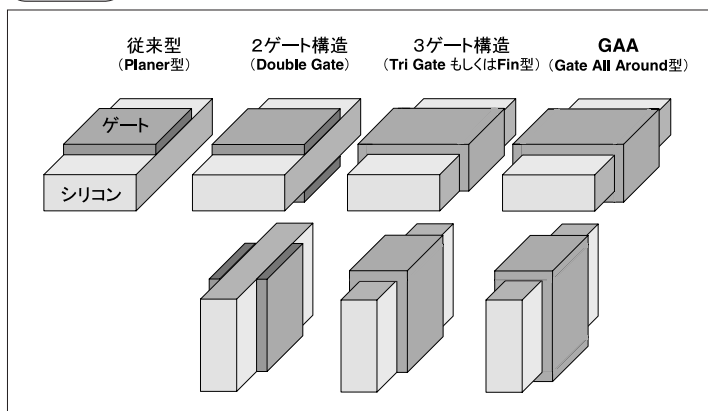
Silicon On Insulator の略で絶縁膜上の単結晶シリコン（基板）を示す。SOI 構造とする事により、拡散層が有する接合容量を低減する事が可能となり、デバイスの動作速度が向上する。

⑦電界制御性

MOS トランジスタは、半導体表面の電界をゲート電極で制御し、半導体表面の電気伝導度を大きく変える事で動作する。より低い電圧をゲート電極に印加して、オン・オフさせる事が出来るのがより特性の良いトランジスタとなる。

る。これは例えば、図表 3 に示す様にゲート電極が 2 つ (Double Gate)、3 つ (Tri-Gate もしくは Fin 型) 等のトランジスタの検討である。トランジスタのチャンネル形成部を一面からだけでなく、2 面もしくは 3 面、さらにはチャンネル全体を囲む様なゲート電極とする事により、ゲート電極の電界制御性を向上させる事が可能となる。新しい構造の MOS トランジスタは、これを狙ったものである。

図表 3 マルチ・ゲートのトランジスタの構造



科学技術動向研究センターにて作成

2 - 2

新規材料および構造の検討状況

(1)高誘電体絶縁膜

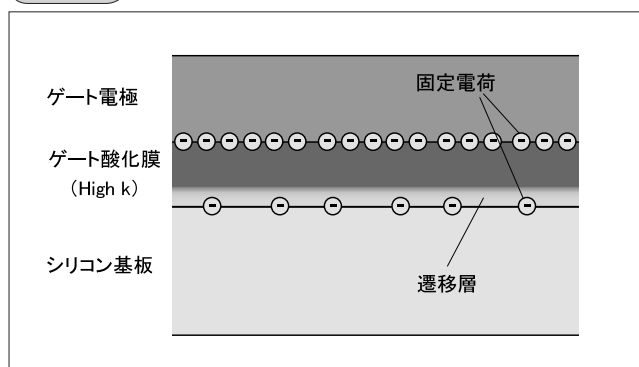
2000 年頃までは、高誘電率 (High k) 膜材料の候補として、多種類の化合物^⑧が挙げられ、またその薄膜の形成手法を巡っても各種の議論がなされていた。しかし現在では、実効的な誘電率やシリコン半導体製造工程中の熱に対する耐性等からハフニウム (Hf) 酸化物系の材料に本命が絞られてきている。IEDM2003^⑨においても高誘電体絶縁膜としては、“Hf 系ゲート絶縁膜”なるセッションのみが設けられていた。この事からも材料は限定されつつあると言える。また、この薄膜材料の形成方法も ALD (Atomic Layer Deposition) 法と呼ばれる原子もしくは分子層を一層毎に形成する手法が主流になりつつある。

当初、高誘電率膜の特性を最適化すれば、トランジスタの特性は改善されると考えられていた。しかし、次に述べるように実際のデ

バイスへの応用検討が進む程、この高誘電率膜の置き換えにより、改善されるのは誘電率のみである事、総合的なデバイス特性は逆に劣化してしまう事が判明してきている。

最初に指摘された課題が、シリコン基板との界面に存在する遷移層や固定電荷、もしくはソフト・フォノンと呼ばれる高誘電率膜特有の分極結合に起因する格子散乱による担体の移動度が従来の 50% 程度に低下¹⁾する事である。これはトランジスタの特性劣化に直接につながるものであり、高誘電率

図表 4 高誘電率膜の課題



科学技術動向研究センターにて作成

膜の採用にあたっては解決されなければならない。これに対して、2003 年に開催された VLSI シンポジウムにて、酸窒化ハフニウムシリケート (HfSiON) 膜を堆積した後でプラズマ酸化もしくはプラズマ窒化を行なう事により、移動度を従来の 80 ~ 90% まで改善される事が報告²⁾されている。ところが同じ VLSI シンポジウムで、今度は多結晶シリコンと高誘電率膜との界面に生じた固定電荷により、トランジスタの閾値制御が従来通りのチャンネル形成部の不純物濃度とゲート絶縁膜の容量だけでは、不可能との報告がなされ、高誘電率膜を実用化する上での難しさが再確認されている³⁾。逆に、これまで用いてきたシリコン酸化膜が、非常に理想的な界面特性を有していたとも言える。

さらに最近になって、この高誘電率膜の信頼性に関する課題が指

用語説明

⑧多種類の化合物

現在検討の主流である Hf 以外にもチタン (Ti)、タンタル (Ta)、イットリウム (Y)、ランタノイド (La)、Al、ジルコニウム (Zr) 等の金属の酸化物膜が検討された。

⑨ IEDM2003

本特集では、2003 年に開催された IEDM としてこの様に記す。他の開催年や他の学会についても同様。

摘され始めている⁴⁾。これは、例えば高誘電率膜に電圧を印加し続けた時の膜特性の変化やトランジスタとして動作させ続けた時にチャネルからエネルギーの高い一部の電子やホールが高誘電率膜へ注入される事による膜特性の劣化である。

デバイス中で長時間使用される事によるゲート酸化膜の特性の変化に関して、これまで使用されてきたシリコン酸化膜では、長い間蓄積してきたデータがある。これに対して、高誘電率膜に関してはようやくこれらの信頼性データが議論されつつある段階に来ている状況にある。薄膜の形成技術が過去に幾度と改善され、既に膜厚が 1 nm 前後と極限まで薄くなっているシリコン酸化膜を別の材料で置き換える事は、そう簡単では無いとの意見が、特に高誘電率膜で新たな課題が抽出される度に高まって来ている。それでもなお、インテルや AMD が金属のゲート電極と同時に高誘電率膜を 2007 年に出荷される 45nm 世代の製品に採用する事をアナウンス^{5), 6)}している。

(2) 歪みシリコン

歪みシリコンを用いた MOS トランジスタは、2001 年に開催された VLSI シンポジウムで IBM が 2 件の論文^{7), 8)}を発表して以来、一躍注目された技術である。この歪みシリコン技術とは、トランジスタのチャネル形成部分に引っ張

りまたは圧縮の歪みを加えて、材料固有の特性の 1 つである担体の移動度の値を高めるものである。しかしながら、IBM 自身の見解から、早くても実用化は 2005 年以降と一般的には考えられていた。

ところが 2002 年、インテルがペンティアム 4 への歪みシリコン技術の 2003 年中の採用をアナウンスし、また同じく 2002 年、米国の AmberWave Systems 社^⑩が歪みシリコン基板技術をライセンス販売に向けて既に準備中と報道⁹⁾もされ、急速に注目度が高まっている。

IEDM2003 の CMOS デバイスのセッションでは、この歪みシリコンに関しての技術発表が多く、インテルからの レイト・ニュース^⑪投稿を含め、注目された。IEDM2003 では、歪みシリコンに関して レイト・ニュースを含め 12 件の論文が発表されたが、これは CMOS 分科会全体の発表件数である 30 件の 40% を占めるに至っている。次世代のトランジスタ開発の関心が、近年はこの歪みシリコンと次に述べるマルチ・ゲートのトランジスタに集まっていると言える。

インテルの発表¹⁰⁾は、機械的な応力を NMOS と PMOS とでそれぞれ制御して加える事により、トランジスタのチャネル形成部のシリコンの歪みを両者で独立に最適化したものである。トランジスタのチャネル形成部のみに局所的に歪みを加えているので、本当の

意味ではゲート直下の MOS トランジスタの基本材料を変えた事にはならないかも知れない。しかしながら、この技術は 1 ~ 2 % の製造コストの上昇のみにて、90nm 世代のペンティアム 4 の最初の製品に適用されているとの事で注目される技術である。

(3) マルチ・ゲート構造

比較的古くから SOI 構造と組み合わせでダブル・ゲート構造のトランジスタが検討されてきた。ところが数年前からチャネルの 3 面がゲート電極で囲まれ、基板の上方向からのみの加工で作成が可能な 3 ゲート構造のトランジスタの検討が盛んとなって来ている。この 3 ゲート構造のトランジスタは、図表 3 の 3 ゲート構造の下段の図の様に半導体基板に深くゲート電極が形成される場合は特にフィン (Fin) 型と呼ばれる事が多い。

フィン型のトランジスタは、基板の上方向からのみの加工で作成可能な為、特に IEDM2002 で IBM 等から 6 件の発表がなされた。このフィン型の構造を用いる事により、微細化に伴う副作用を抑制しつつトランジスタの特性向上が行い易い。しかしながら、基板の上方向からのみの加工とは言いつつも 3 次元構造に近い深い凹凸を基板に形成する必要がある事やこのフィン型トランジスタに対する配線形成の難しさ等から IEDM2003 では発表数は 2 件となり、急速にこのトランジスタに対する熱が冷め、前述の歪みシリコン技術へと関心が移っている事がうかがえる。

なお、AMD は、2003 年 9 月に開催された固体素子および材料に関する国際会議 (SSDM2003) にて、3 ゲート構造のトランジスタに関する発表を行なっている。チャネル形成部の 3 方向を金属ゲート電極で囲んだトランジスタ (図

用語説明

⑩ AmberWave Systems 社

MIT のスピンオフベンチャー。歪みシリコンの基礎となる技術は 1990 年初め頃から MIT の E.A.Fitzgerald 教授の研究室で行なわれている。同社は、歪みシリコンの欠陥密度を低減する重要な知的財産権を何件か保有していて、IBM の技術にも対抗出来るとコメントしている。

⑪ レイト・ニュース

一般の論文の投稿締め切り日が過ぎた後に受け付けられる論文。非常に限られた数の重要な最新の研究成果が報告される場合が多い。

表 3 の 3 ゲート構造の上段の図)で、この部分のシリコン格子を局部的に歪ませ、キャリア移動度を向上させている。3 方向をゲート電極で囲む事により、実効的なチャネル幅が拡大し、かつチャネルのオン・オフ制御性が増し、総合的なトランジスタの性能向上につ

なげている。これは、半導体基板に浅くゲート電極が形成されるので、形状的にはプレーナ型に近く、従来のプロセスとの互換性も高い。

チャネル形成部の全てをゲート電極で囲んだ形の GAA (Gate All Around) 型のトランジスタは、究極の MOS 構造と言われている。

しかし、この構造は MOS プロセスにおいては集積化が難しく、半導体基板表面に垂直に電流を流す縦型の MOS 構造を中心に特性評価が行なわれている¹¹⁾。また近年、チャネルにカーボンナノチューブを用いたトランジスタでも GAA 型が検討され始めている。

3. IEDM 採択論文数から

図表 5 の左の円グラフは IEDM2003 での採択論文数を投稿機関の国・地域別に、また右の図は其中で学および官からの投稿の占める割合を IEDM2001 および IEDM2002 のデータと共に示したものである。ここで複数の研究機関にまたがる論文の場合は、関与した研究機関の数で案分した。

IEDM2003 の採択論文数の国・地域別割合は、過去数年間で顕著な変化は無い¹²⁾。半数弱が米国からの投稿で、日本からは全体の 1/4 程度、残りを日本以外のアジア地域と欧州からの投稿数が分ける形になっている。

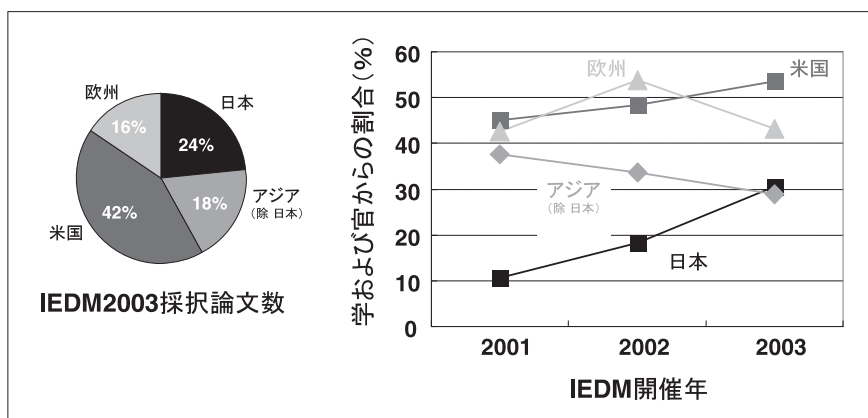
日本では従来、殆んど産業界からの寄与であった採択論文数も 2001 年以降の変化を見ると産業界以外からの採択論文数が増えているのが分かる。これは、主に国家プロジェクト等による研究機関からの寄与であり、大学からの寄与は 10 ～ 15%程度で 2001 年以前の値と大きな変化は無い。

図表 6 は、過去 3 年間について IEDM 採択論文数における複数の研究機関に所属する複数の著者による論文の割合の推移を国・地域別に示したものである。日本では、産学連携のみならず企業間もしくは大学間の共同研究も他国・他地域と比べて少ない事は既に指摘されている¹³⁾。近年では、業界再編

や業務提携等により、日本においても企業間の共同研究は高まりつつある。しかし、学や官にまたがる共同研究成果は、まだ少なくともこの採択論文数には現れていないのが現状である。例えば、大学

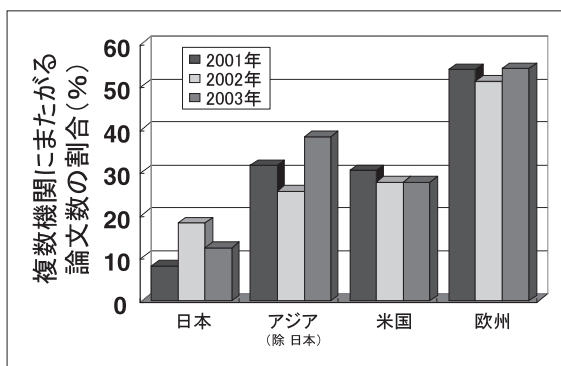
が関与した採択論文で、複数研究機関にまたがる論文の割合は、日本の場合 3 割程度であるのに対して、米国の場合は 4 割程度、日本を除くアジアや欧州の場合は 9 割程度となっている。

図表 5 IEDM2003 での国・地域別採択論文数割合 (左図) と各国・地域毎の学および官からの採択論文数の割合推移 (右図)



科学技術動向研究センターにて作成

図表 6 過去 3 年間の IEDM 採択論文数における複数の機関にまたがる論文数の割合



科学技術動向研究センターにて作成

4. 半導体技術ロードマップと技術開発のスピード

国際半導体技術ロードマップ (ITRS; International Technology Roadmap for Semiconductors)¹⁴⁾ は、半導体産業に対する技術的な要求項目を 15 年先まで見通したものである。ここで要求項目とは、例えばリソグラフィーに関しては、最小パターンの線幅やその精度、異なる層に対する重ね合わせ精度、一括して描画可能な領域等である。リソグラフィ以外についても、シリコンウェハーや半導体の各プロセス工程、組み立てに至るまで様々な項目に対して、技術的な要求内容が示されている。この ITRS が、最初に作成された当時 (1992 年) は米国国内向けのもので、名前も NTRS (N は National の略) であったが、現在では国際的なものとなっている。ITRS の内容は、参画する専門家の総意に基づいて決定される。実際には技術開発が ITRS の要求よりも早い時期に達成される為、見直しのたびに ITRS も、前倒しされている。

ところが、最初は単なる“前倒し”であったこの ITRS が、近年は明らかに世代交代のペースが上昇し、少なくとも先行企業の間ではこれが通常の開発スピードと認識されつつある。つまり最初に NTRS がまとめられる以前から長い間、半導体の製造技術の世代交代は、3 年毎のサイクルで行われて来た (1977 ~ 1995 年) のであるが、1995 年以降は実際には実績として、これが 2 年毎のサイクルとなっている。当初は、これがある特定の世代の例外的な事象にとらえられていたが、最近では、少なくとも開発をリードする企業は、このロードマップと新製品の投入予定時期とをかなり先まで 2 年毎の世代交代で記す場合が多い。

ITRS はあくまでも目安であり、ビジネスで熾烈な競争を展開している企業からすれば、“これに従っていれば安泰”と言うものではない。この事からすれば、ITRS の要求よりも早い時期に技術開発がなされる事は、納得できよう。しかしながら、2 章で述べた様に近年は MOS トランジスタの基本材料や構造が更新されると言う、技術的に大きな転換期を迎えようとしている。にもかかわらずなお先行する企業からは、製造技術の 2 年毎の世代交代を前提とした製品化計画がアナウンスされ続けているのが現状である。

例えば AMD は、SSDM2003 で実証した 3 ゲート構造のトランジスタを、2007 年にも量産が見込め

るとしている。これは、2003 年時点でのロードマップを 2 年前倒しする事になる⁶⁾。

また、インテルも今後のプロセッサの製品展開として、新材料や新構造のトランジスタの採用とともに 2005 年に 65nm 世代、2007 年に 45nm 世代の製造技術にて、製品投入する事をアナウンスしている¹⁰⁾。当初のアナウンスより多少遅れはしたが、90nm 世代のペンティアム 4 プロセッサ (開発コード名、Prescott; プレスコット) も先日 (2004 年 2 月) 発売された。これは前世代の製品投入からほぼ 2 年後の事となっている。

このような状況にもかかわらず、図表 7 に示す様に最新の 2003 年版の ITRS[®]においても依然とし

図表 7 ITRS による半導体製造技術の世代交代の予測時期と実績

実現予測時期	ロードマップの見直された年					参考 **
	1994	1997	1999	2001	2003	
1994						
1995	350*					
1996						
1997		250				
1998	250					
1999		180	180			
2000						
2001	180			130		
2002			130			
2003		130				90
2004	130			90	90	
2005			100			65
2006		100				
2007	100			65	65	45
2008			70			
2009		70				32
2010	70			45	45	
2011			50			22

* プロセス世代の到達実績は、斜体で示した

** 技術をリードする企業の 2003 年時点でのロードマップ

●半導体製造技術の世代は、テクノロジー・ノード (Technology Node) と呼ばれる代表的な値で表示、単位は nm

ITRS 公式サイト¹⁴⁾ やインテル社のウェブサイト¹⁰⁾ を基に科学技術政策研究所にて作成

て、ロードマップの将来の部分は従来通り3年毎の世代交代で示されている。ITRSを基にした開発計画は、常に陳腐化し、スケジュールの見直しを余儀なくされる可能性が高いと言える。

用語説明

⑫ 2003年版のITRS

2003年のITRSの見直しでは、2001年版からの製造技術の世代交代時期の新たな見直しは行なわれなかった。先行企業は2003年末頃から90nm世代の製造技術で生産を開始したとアナウンスしているが、ITRSの定める判定条件には合わなかったのかも知れない。

5. テクノロジー・ドライバについて

1970年代の初めに登場して以来、30年近くに渡って半導体製造技術を牽引したDRAMは、既にITRSの製造技術の世代交代から遅れ始めている。1997年には、それまでの傾向から予定された開発速度で4GビットのDRAMの開発が学会発表¹⁵⁾されているが、それから6年が経過した2003年末の時点でも、1GビットのDRAMでさえまだサンプル評価品が供給されるに留まっている。従来の傾向からすれば、この1GビットのDRAMは、2000年頃には製品化されているはずのものである。しかし現在、容量の大きなDRAM製品としては、主力の256Mビット品と生産量が増大中の512Mビット品¹³⁾となっている。これは、市場の要求が変化した事が理由である。ユーザがDRAMに対して、最も重要視してきたのは、従来データ容量であった。しかし、近年では速度に対する要求の方が高い。

DRAMはその原理上、微細化によって記憶容量は増大するが、基本記憶単位データの書き込み・読み出し速度¹⁴⁾は大きくは変わらない。一方、プロセッサは微細化によって、トランジスタの集積度のみならず動作速度をも大きく上げる事が可能である。この結果、プロセッサとDRAMとのデータ転送速度に関するボトルネックはますます増大して、実際にはこれがプロセッサの計算速度を律速するようになって来ている。

よって、近年のDRAMの開発項目は、メモリ基本素子の微細化よりも周辺回路やバンク¹⁵⁾構成

用語説明

⑬ DRAMの容量

従来、DRAMの容量増大は4倍毎であったが、64Mビット品以降は2倍毎になっている。

⑭ DRAMの書き込み・読み出し速度

DRAMは常に一定時間間隔で書き込み・読み出しが必要なメモリである。この時間間隔をサイクル・タイムと呼ぶ。DRAMのサイクル・タイムは16Kビットの時代の500ナノ秒前後から、最新の256Mビットの50ナノ秒前後までこの30年近くで1桁程度の向上に留まっている。この様に容量の増加がこの2者間で1,6000倍程であるのに対して、速度の向上は10倍に留まっている。

⑮ バンク

メモリの制御回路が、メモリを管理する時の単位となる一定の容量をもったメモリの集合。

⑯ シンクロナスDRAM、ランバスDRAM

ともに一定周期のクロック信号に同期して、データをやり取りするよう改良された高速DRAM。ランバスDRAMは、米国のランバス社が開発した高速のインターフェース技術を用いて、データのやり取りが行なわれる。

等のアーキテクチャの工夫によるデータ転送速度の向上であり、この結果、シンクロナスDRAMやランバスDRAM¹⁶⁾等の新しいDRAMの高速化技術が開発されて来た。つまり、現在の単体DRAMは、製造するだけであれば、かつての様に最先端の製造ラインや装置を揃える必要は無い。最先端の半導体製品からすれば古い世代の製造技術をDRAM向けに転用すれば良いのである。

代わって現在、半導体製造技術を牽引するものは、最先端のプロセッサとなっている。このプロセッサは必ずしもサーバ向け等のハイエンド品とは限らない。ある程度の市場規模が見込め、それを前提に大型の設備投資が可能なデスクトップ向けのプロセッサが、技術を牽引している。少しでもクロック周波数が高いプロセッサが、市場に投入されれば、幾分高くて

もこれを購入するユーザが多数存在するのである。まして複数企業の提供するプロセッサ間に互換性があれば、少しでも早く高性能の製品を市場に投入する為に企業間の競争は激しくなる。現在、インテルに対して、IBMやAMD等の企業が提携し、激しい競争を展開している。この結果として、最先端の半導体製造技術もこれらの企業に牽引されているのが現状である。

DRAMを高集積化する為の半導体製造技術に対する要求事項としては、基本的には微細パターン形成と精度の良い加工である。一方、プロセッサの場合、配線をも含んだトランジスタの高速化技術が最も重要視され、性能を上げる為にはゲート電極パターンを優先的に微細化したり、局所的に配線の構造を工夫したりして、回路設計技術と密接にきめ細かな対応が必要な場合が多い。

なお、プロセッサ以外でも近年、システム LSI の 1 つであるゲーム向け半導体等で、将来の比較的大きな市場を見込んで、最先端の製造ラインが整備される場合¹⁶⁾がある。これはプロセッサとは別の

テクノロジー・ドライバであろうが、ゲーム向けのシステムはプロセッサの製造技術で言えば隔世代毎の更新になり、製造技術もある特定の時期に向けて準備される事になる。

この様に半導体製造技術を牽引するものは、新しい技術によって得られる高集積もしくは高速、場合によっては低消費電力の LSI であり、多少高くても多くのユーザーが買い求める製品となっている。

6. 日本の半導体関連のプロジェクトの課題

日本の半導体製造業は、1990 年代の後半、急速に競争力を失い再編・統合を余儀なくされた。この失われた競争力の回復を目指して、2000 年以降、業界団体や国の指導の下でコンソーシアムや国家プロジェクトが急速に整備されてきた。ところがこれらのコンソーシアムや国家プロジェクトは、先に述べた近年の海外の技術開発の動向に十分には対応出来ていない。

これらのプロジェクトが目指したものは、当初はキャッチアップであるにせよ世界のトップとなる最先端の製造技術であり、かつ技術の標準化による開発効率の向上である。

しかし、5 章で述べた様に半導体の技術開発や産業の状況が 1990 年代前半とは異なる現在において、これらプロジェクトの目標は必ずしも日本の競争力の強化に直接的につながるものではない。つまり、DRAM が半導体製造技術を牽引し、日本の半導体製造業の主力商品が DRAM であった時代は、最先端の半導体製造技術を取得する事は、半導体製造業の競争力強化につながったであろう。しかし、アーキテクチャや回路技術のみならず製造技術においてもプロセッサが技術を牽引する現在では、この製造技術で最先端の技術を獲得しても現在の日本企業の製

品群の競争力強化にはつながらない。日本の企業は、プロセッサを商品として持たない事、製造技術のみ獲得しても他の技術的な障壁が大きく、簡単にはこの市場に参入出来ない事が理由である。最先端の製造技術を獲得して、どの半導体製品に応用して行くかの再検討が、状況の変化に応じて、常に必要となっている。近年、日本が競争力を維持出来る分野として、SoC (System-on-a-Chip) やシステム LSI、デジタル家電向け LSI 等の分野が注目されている。しかし、これらはゲーム向け LSI 等の一部を除いて何れも多品種少量の製品分野であり、製造技術から見た場合、共通開発要素が少なく、技術の牽引役にはなり難い。

また、日本の半導体関連のプロジェクトの別の課題として、3 章で示した様に大学を戦力としてうまく取り込めていない事が上げられる。欧米の大学は、例えばデバイス特性の詳細な評価およびこれを基にしたトランジスタの新しいモデル化等で企業の研究をサポートしている場合が多い。これらは、新しい材料やデバイス構造の検討時に課題を抽出したり、不良のメカニズムを解明したりする時に効果的で開発スピード向上に有効に働く。

半導体の技術開発の特徴とし

て、特に先行者の開発投資金額¹⁷⁾が他分野と比べて非常に大きくなる事が挙げられる。この技術開発は、技術的な障壁の増大に加えて、投資金額の面からも一企業で負担するのが難しくなりつつある。にもかかわらず半導体技術が有する電子機器産業全般に対する高い影響度を認識して、有力企業やアジア等の国が戦略分野と位置づけているのも事実である。企業間の提携はこの様な状況下で、生き残りをかけて、お互いに補完的な関係を築こうとするものである。例えば、台湾等では、米国のファウンドリー・メーカとしてスタートし、現在ではアライアンスの下、最先端の製造技術開発でも主要な役割を演じている企業がある。欧州では、ミックス・シグナルと呼ばれるアナログとデジタル混載技術等で特徴的な研究を進めている。

この様な海外の技術開発における水平分業の動きに従えば、国のプロジェクトでも自らの強みを発揮して行く選択肢もある。まだ日本には、例えば材料や半導体製造装置、要素技術等で高い技術力を有する領域も数多く存在する。国家プロジェクトでは、この様な分野に絞って、強化を目指す事を考えても良い。これら特定の領域で強みを発揮する事が出来れば、これらの領域を起点に関連する分野を含め、産業競争力を強化していく事も期待出来よう。

用語説明

①開発投資金額

売り上げに対する開発投資額は、全産業の平均で 2.8%、精密機械の分野で 5.8%であるのに対して、半導体の場合は 15%程度となっている¹⁷⁾。

7. まとめ

近年の国際会議等から、半導体技術を支える製造技術の開発動向について概観した。シリコン MOS トランジスタは、従来は微細化により、その特性を向上させる事が出来た。しかし近年、従来の手法でトランジスタをさらに微細化しても、これ以上の性能向上が、図れなくなって来ているため、検討の中心がトランジスタへの新規材料もしくは新型構造の適用に移行してきている。この状況は、30 年も続いたシリコン MOS トランジスタの基本材料および構造を見直すと言う転換期を迎えている事を示している。

この様な局面を迎えているにもかかわらず、米国を中心とする最先端のプロセッサ・メーカーによって技術開発が牽引され、従来 3 年毎であった製造技術の世代交代が、ここ 10 年程は 2 年毎でなされている。かつて技術開発の限界説も唱えられたが、未だに致命的な障害は明確にはなっていない。

日本の半導体関連のプロジェクトも、この様な世の中の技術開発の動向に対応していく必要がある。最先端の製造技術がプロセッサに牽引されている近年の状況では、プロジェクトの成果を日本の企業がどの様な半導体製品に応用して行くのかの再検討が必要になっている。また、日本のプロジェクトは大学の戦力を十分に取り込んでいく必要がある。開発スピードの向上には、特性評価やモデル化、メカニズム解明等で大学を有効に活用する事が望まれる。

半導体の技術開発は、技術的な障壁の増大に加えて、投資金額の面からも企業が単独で行なうのが難しくなりつつある。この為、特

に海外では、技術開発においても近年は水平分業で行なう場合が多くなっている。この動きに従えば、日本も自らが強い領域に絞って開発を進める事も選択肢の 1 つとなるであろう。それは例えば、材料や半導体製造装置、要素技術等である。これら特定の領域で強みを発揮する事が出来れば、これらの領域を起点に関連する分野を含め、産業競争力を強化していく事も期待出来よう。

参考文献

- 1) M. V. Fischetti et al., J. Appl. Phys., Vol.90, p.4587, 2001
- 2) S. Inumiya, et al., "Fabrication of HfSiON Gate Dielectrics by Plasma Oxidation and Nitridation, Optimized for 65nm node Low Power CMOS Applications" VLSI Symp. Tech. Dig., T3A - 1, 2003
- 3) C. Hobbs et al., "Fermi Level Pinning at the PolySi/Metal Oxide Interface" VLSI Symp. Tech. Dig., T2 - 1, 2003
- 4) 例えば Antony S. Oates, "Reliability Issues for High-K Gate Dielectrics" IEDM Tech. Dig., T38 - 2, 2001
- 5) インテル社のウェブサイト：
<http://www.intel.com/labs/features/sil1031.htm#1>
<ftp://download.intel.com/research/silicon/HighK-MetalGate-PressFolds-final.pdf>
- 6) AMD 社のウェブサイト "半導体業界の 2009 年性能予測を上回る研究成果を発表"：
http://www.amd.com/jp-ja/Corporate/VirtualPressRoom/0,51_104_543_1021874987,00.html
- 7) W.-J. Huang et al., "Carrier Mobility Enhancement in Strained Si-On-Insulator Fabricated by Wafer Bonding" VLSI Symp. Tech. Dig., T5B - 3, 2001
- 8) K. Rim et al., "Strained Si NMOSFETs for High Performance CMOS Technology" VLSI Symp. Tech. Dig., T5B - 4, 2001
- 9) <http://www.eetimes.com/story/OEG20011022S0078>
- 10) インテル社のウェブサイト：
<http://www.intel.com/labs/features/sil1031.htm#1>
- 11) 例えば J. M. Hergenrother et al., "The Vertical Replacement-Gate (VRG) MOSFET" IEDM Tech. Dig., p.75, 1999
- 12) 奥和田；「シリコン半導体デバイス研究に対する大学の関わり」科学技術動向 2003 年 4 月号：
<http://www.nistep.go.jp/index-j.html>
- 13) 小笠原；「次世代デバイスの研究開発動向」科学技術動向 2002 年 1 月号：
<http://www.nistep.go.jp/index-j.html>
- 14) ITRS 公式サイト：
<http://public.itrs.net/>
- 15) T. Murotani et al., ISSCC, TP 4.6, 1997
- 16) ソニーのプレスリリース：
<http://www.sony.co.jp/SonyInfo/News/Press/200304/03-0421/>
- 17) 半導体産業研究所 他「21 世紀 IT 社会を拓く」：
<http://www.semiconductorportal.com/Content/Y2003/M05/D16/JEITA030509.pdf>